

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 2 日
Date of Application:

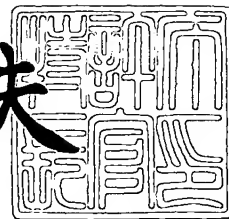
出 願 番 号 特 願 2 0 0 2 - 3 0 7 5 7 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 0 7 5 7 0]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 8 月 1 2 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 4 8 1 6

【書類名】 特許願

【整理番号】 5037540026

【提出日】 平成14年10月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 小川 修

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 服部 大

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 黒川 圭一

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【手数料の表示】

 【予納台帳番号】 139757

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 高位合成方法

【特許請求の範囲】

【請求項1】 デジタル回路の機能的な動作を記述した入力ファイルと前記デジタル回路の制約条件を記述した制約ファイルとに基づいてC D F G (C o n t r o l D a t a F l o w G r a p h) を生成するC D F G生成工程と、

前記C D F G生成工程によって生成された前記C D F Gと前記制約ファイルに記述された前記デジタル回路の制約条件とに基づいてF S M (F i n i t e S t a t e M a c h i n e) を生成し、前記C D F Gの各ノードを前記F S Mの各状態に割り当ててスケジューリングするスケジューリング工程と、

前記スケジューリング工程によってスケジューリングされた前記C D F Gの各ノードに対して、前記デジタル回路を構成するための資源のレイアウトを示す資源レベルレイアウト情報に基づいて前記資源を割り当てて高位合成情報を生成するアロケーション工程と、

前記アロケーション工程によって生成された前記高位合成情報を出力する出力工程とを包含することを特徴とする高位合成方法。

【請求項2】 前記アロケーション工程は、前記スケジューリング工程によってスケジューリングされた前記C D F Gの各ノードに対して前記資源を割り当てて初期高位合成情報を生成する初期アロケーション工程と、

前記初期アロケーション工程によって生成された前記初期高位合成情報に基づいて前記資源レベルレイアウト情報を生成する資源レベルレイアウト工程と、

前記初期アロケーション工程によって生成された前記初期高位合成情報と前記資源レベルレイアウト工程によって生成された前記資源レベルレイアウト情報とに基づいて、前記C D F Gの各ノードに対する前記資源の割り当てを変更した修正高位合成情報を生成する再アロケーション工程と、

前記再アロケーション工程によって生成された前記修正高位合成情報に基づいて前記資源レベルレイアウト情報を微修正する資源レベルレイアウト微修正工程とを含んでおり、

所定の基準を満足するまで前記再アロケーション工程と前記資源レベルレイ

ウト微修正工程とを繰り返して実行する、請求項 1 記載の高位合成方法。

【請求項 3】 前記高位合成情報および前記修正高位合成情報は、ハードウェア資源割り当て情報とハードウェア資源とのライフタイム情報とハードウェア情報とである、請求項 2 記載の高位合成方法。

【請求項 4】 前記資源レベルレイアウト情報は、資源間結線距離情報である、請求項 1 記載の高位合成方法。

【請求項 5】 前記資源レベルレイアウト情報は、資源間結線のレイアウト領域内混雑度情報である、請求項 1 記載の高位合成方法。

【請求項 6】 前記資源レベルレイアウト情報は、資源間結線距離情報と資源間結線のレイアウト領域内混雑度情報とからなる任意の関数で表現された、マクロ間結線情報である、請求項 1 記載の高位合成方法。

【請求項 7】 前記資源レベルレイアウト情報は、レイアウト影響度を係数として含んでいる、請求項 1 記載の高位合成方法。

【請求項 8】 前記初期アロケーション工程は、可能な限りハードウェア資源を共有化しないように、前記 C D F G の各ノードに対して前記資源を割り当て、

前記再アロケーション工程は、別々に実現されたハードウェア資源を共有化するように、前記 C D F G の各ノードに対する前記資源の割り当てを変更する、請求項 2 記載の高位合成方法。

【請求項 9】 前記初期アロケーション工程は、可能な限りハードウェア資源を共有化するように、前記 C D F G の各ノードに対して前記資源を割り当て、

前記再アロケーション工程は、共有化されたハードウェア資源を別々にアロケーションする、請求項 2 記載の高位合成方法。

【請求項 10】 前記再アロケーション工程は、記憶資源のレイアウト領域内配置分布ばらつきを計算し、前記レイアウト領域内配置分布ばらつきに基づいて、同期クロック回路の合成容易性を推定し、記憶資源共有化時には、合成容易性が高い共有化を選択する、請求項 2 記載の高位合成方法。

【請求項 11】 前記記憶資源のレイアウト領域内配置分布ばらつきは、レイアウト領域を複数の領域に分割した各領域内に属する記憶資源の数のばらつき

である、請求項 10 記載の高位合成方法。

【請求項 12】 前記記憶資源のレイアウト領域内配置分布ばらつきは、レイアウト領域内を階層的に分割した各階層ごとに計算したばらつきの合計である、請求項 10 記載の高位合成方法。

【請求項 13】 前記初期アロケーション工程は、可能な限りハードウェア資源を共有化するように、前記 C D F G の各ノードに対して前記資源を割り当て、

前記再アロケーション工程は、共有化されたハードウェア資源を別々にアロケーションし、

前記アロケーション工程は、前記再アロケーション工程において分割されたハードウェア資源を、前記初期アロケーション工程において共有されなかったハードウェア資源と共有するアロケーション変更工程をさらに含んでいる、請求項 2 記載の高位合成方法。

【請求項 14】 前記資源レベルレイアウト情報は、レイアウト影響度をレイアウト影響係数として含んでおり、

前記レイアウト影響係数を段階的に修正しながら前記再アロケーション工程と前記アロケーション変更工程とを繰り返して実行する、請求項 2 記載の高位合成方法。

【請求項 15】 前記出力工程は、前記資源レベルレイアウト微修正工程によって微修正された前記資源レベルレイアウト情報をさらに出力する、請求項 1 記載の高位合成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル回路の機能的な動作記述に基づいて、デジタル回路を構成するための高位合成情報を生成する高位合成方法に関し、特に、高位合成情報を生成するためのアロケーション方法に関する。

【0002】

【従来の技術】

L S I を微細化するための技術が発展したことによって、1 個のチップに集積することが可能なゲート数が格段に向上した。こうした大規模 L S I を短期間に、かつ効率的に設計するために、近年、ハードウェアの機能的な動作記述に基づいてゲートレベル回路を生成するための高位合成技術が利用されるようになってきた。高位合成技術の詳細を記した文献としては、Daniel Gajski、Nikil Dutt、Allen Wu、Steve Lin、”HIGH-LEVEL SYNTHESIS Introduction to Chip and System Design”、Kluwer Academic Publishers、1992 等がある。

【0003】

図 28 は、従来の高位合成方法を示すフローチャートである。まず、C D F G 生成工程において、デジタル回路の機能的な動作を記述した入力ファイルとデジタル回路の制約条件を記述した制約ファイルとに基づいて C D F G (Control Data Flow Graph) を生成する (ステップ S 201)。そして、スケジューリング工程において、C D F G 生成工程によって生成された C D F G と制約ファイルに記述されたデジタル回路の制約条件とに基づいて F S M (Finite State Machine) を生成し、C D F G の各ノードを F S M の各状態に割り当ててスケジューリングする (ステップ S 202)。次に、アロケーション工程において、スケジューリング工程によってスケジューリングされた C D F G の各ノードに対して、デジタル回路を構成するための資源を割り当てて高位合成情報を生成する (ステップ S 91)。

【0004】

その後、アロケーション工程によって生成された高位合成情報が、デジタル回路の制約条件を示す所定の基準を満たしているか否かを判断する (ステップ S 92)。高位合成情報が所定の基準を満たしていないと判断したときは (ステップ S 92 において NO)、ステップ S 201 へ戻る。

【0005】

高位合成情報が所定の基準を満たしていると判断したときは (ステップ S 92 において YES)、論理合成工程において、アロケーション工程によって生成さ

れた高位合成情報に論理合成処理を施す（ステップS93）。そして、論理合成工程によって論理合成処理を施された高位合成情報が、デジタル回路の制約条件を示す所定の基準を満たしているか否かを判断する（ステップS94）。高位合成情報が所定の基準を満たしていないと判断したときは（ステップS94においてNO）、ステップS201へ戻る。

【0006】

高位合成情報が所定の基準を満たしていると判断したときは（ステップS94においてYES）、レイアウト工程において、論理合成工程によって論理合成処理を施された高位合成情報にレイアウト処理を施す（ステップS95）。次に、レイアウト工程によってレイアウト処理を施された高位合成情報が、デジタル回路の制約条件を示す所定の基準を満たしているか否かを判断する（ステップS96）。高位合成情報が所定の基準を満たしていないと判断したときは（ステップS96においてNO）、ステップS201へ戻る。高位合成情報が所定の基準を満たしていると判断したときは（ステップS96においてYES）、処理を終了する。

【0007】

このように、高位合成から始まるLSIの設計フローにおいては、ハードウェアの動作記述を入力として、高位合成、論理合成、レイアウトと設計工程を進める。各工程において、設計制約を満たさなければ、最悪の場合は高位合成工程からやり直すことになる。

【0008】

従来は、高位合成工程以降の下流工程からの手戻りロスを最小限に抑えるために、高位合成工程においては、レイアウト時に配線が混み合わないよう、演算器資源および記憶資源を共有する最大数に制限を与えたり、演算器資源と記憶資源との間の接続数に制限を与えたりしていた（西尾、金子、田湯、“配線資源を考慮した高位合成”、Technical Report of IEICE、VLD98-147、pp. 49-56、1999-03）。

【0009】

また、レイアウト工程においても、回路性能に影響がある資源の間の結線につ

いては、その結線の長さが長くなり過ぎないように、あるいは、レイアウト領域内における混雑度が高くなるないように、配置するなど、各工程において別々に対策を講じて、手戻りの最小化を図ってきた。

【0010】

【発明が解決しようとする課題】

しかしながら、これはあくまでも経験的な観点から人間によって行われてきた対策であるため、高位合成工程とレイアウト工程との間の連携がなされていない。また、大規模LSIの開発においては、高位合成工程からレイアウト工程を完了するまでに数ヶ月を要するため、下流工程から上流工程へ後戻りする手戻りロスが発生すると、LSIを市場へ早期に投入することができない。

【0011】

従来の高位合成方法は、下流工程において発生する問題、特に、レイアウト工程において発生する問題を詳細に解析することなく、人間の経験的な判断によって作成された設計制約のみに基づいて回路を生成していた。そのため、性能や面積等に関する設計制約が厳しくない回路、開発期間に余裕がある回路、または、回路規模が小さく下流工程において人間で手修正が可能な回路など、高位合成系を適用する回路に使用制限を設ける必要があるという問題があった。

【0012】

また、高位合成工程以降の下流工程において設計制約を満たさなかった場合に、下流工程からのフィードバック情報を高位合成方法に反映するためには、高位合成系の入力となるプログラムファイルおよび設計制約ファイルを修正しなければならないという問題があった。

【0013】

本発明は係る問題を解決するためになされたものであり、その目的は、高位合成情報を生成するための時間を短縮することができる高位合成方法を提供することにある。

【0014】

【課題を解決するための手段】

係る目的を達成するために本発明に係る高位合成方法は、デジタル回路の機能

的な動作を記述した入力ファイルと前記デジタル回路の制約条件を記述した制約ファイルとに基づいてC D F G (C o n t r o l D a t a F l o w G r a p h) を生成するC D F G生成工程と、前記C D F G生成工程によって生成された前記C D F Gと前記制約ファイルに記述された前記デジタル回路の制約条件とに基づいてF S M (F i n i t e S t a t e M a c h i n e) を生成し、前記C D F Gの各ノードを前記F S Mの各状態に割り当ててスケジューリングするスケジューリング工程と、前記スケジューリング工程によってスケジューリングされた前記C D F Gの各ノードに対して、前記デジタル回路を構成するための資源のレイアウトを示す資源レベルレイアウト情報に基づいて前記資源を割り当てて高位合成情報を生成するアロケーション工程と、前記アロケーション工程によって生成された前記高位合成情報を出力する出力工程とを包含することを特徴とする。

【0015】

【発明の実施の形態】

本実施の形態に係る高位合成方法においては、スケジューリング工程によってスケジューリングされたC D F Gの各ノードに対して、デジタル回路を構成するための資源のレイアウトを示す資源レベルレイアウト情報に基づいて資源を割り当てて高位合成情報を生成する。このため、レイアウト工程によって得られた資源レベルレイアウト情報を高位合成工程のアロケーションフェーズへフィードバックすることができる。従って、高位合成工程以降の下流工程において設計制約を満たさなかった場合に、高位合成工程における入力ファイルまたは制約ファイルを修正することなく、高位合成工程からレイアウト工程までを自動的に実行することができる。その結果、高位合成情報を生成するための時間を短縮することができる。

【0016】

前記アロケーション工程は、前記スケジューリング工程によってスケジューリングされた前記C D F Gの各ノードに対して前記資源を割り当てて初期高位合成情報を生成する初期アロケーション工程と、前記初期アロケーション工程によって生成された前記初期高位合成情報に基づいて前記資源レベルレイアウト情報を

生成する資源レベルレイアウト工程と、前記初期アロケーション工程によって生成された前記初期高位合成情報と前記資源レベルレイアウト工程によって生成された前記資源レベルレイアウト情報とに基づいて、前記C D F Gの各ノードに対する前記資源の割り当てを変更した修正高位合成情報を生成する再アロケーション工程と、前記再アロケーション工程によって生成された前記修正高位合成情報に基づいて前記資源レベルレイアウト情報を微修正する資源レベルレイアウト微修正工程とを含んでおり、所定の基準を満足するまで前記再アロケーション工程と前記資源レベルレイアウト微修正工程とを繰り返して実行することが好ましい。

【0017】

前記高位合成情報および前記修正高位合成情報は、ハードウェア資源割り当て情報とハードウェア資源とのライフタイム情報とハードウェア情報とであることが好ましい。

【0018】

前記資源レベルレイアウト情報は、資源間結線距離情報であることが好ましい。

【0019】

前記資源レベルレイアウト情報は、資源間結線のレイアウト領域内混雑度情報であることが好ましい。

【0020】

前記資源レベルレイアウト情報は、資源間結線距離情報と資源間結線のレイアウト領域内混雑度情報とからなる任意の関数で表現された、マクロ間結線情報であることが好ましい。

【0021】

前記資源レベルレイアウト情報は、レイアウト影響度を係数として含んでいることが好ましい。

【0022】

前記初期アロケーション工程は、可能な限りハードウェア資源を共有化しないように、前記C D F Gの各ノードに対して前記資源を割り当て、前記再アロケー

ション工程は、別々に実現されたハードウェア資源を共有化するように、前記 C D F G の各ノードに対する前記資源の割り当てを変更することが好ましい。

【 0 0 2 3 】

前記初期アロケーション工程は、可能な限りハードウェア資源を共有化するように、前記 C D F G の各ノードに対して前記資源を割り当て、前記再アロケーション工程は、共有化されたハードウェア資源を別々にアロケーションすることが好ましい。

【 0 0 2 4 】

前記再アロケーション工程は、記憶資源のレイアウト領域内配置分布ばらつきを計算し、前記レイアウト領域内配置分布ばらつきに基づいて、同期クロック回路の合成容易性を推定し、記憶資源共有化時には、合成容易性が高い共有化を選択することが好ましい。

【 0 0 2 5 】

前記記憶資源のレイアウト領域内配置分布ばらつきは、レイアウト領域を複数の領域に分割した各領域内に属する記憶資源の数のばらつきであることが好ましい。

【 0 0 2 6 】

前記記憶資源のレイアウト領域内配置分布ばらつきは、レイアウト領域内を階層的に分割した各階層ごとに計算したばらつきの合計であることが好ましい。

【 0 0 2 7 】

前記初期アロケーション工程は、可能な限りハードウェア資源を共有化するように、前記 C D F G の各ノードに対して前記資源を割り当て、前記再アロケーション工程は、共有化されたハードウェア資源を別々にアロケーションし、前記アロケーション工程は、前記再アロケーション工程において分割されたハードウェア資源を、前記初期アロケーション工程において共有されなかったハードウェア資源と共有するアロケーション変更工程をさらに含んでいることが好ましい。

【 0 0 2 8 】

前記資源レベルレイアウト情報は、レイアウト影響度をレイアウト影響係数として含んでおり、前記レイアウト影響係数を段階的に修正しながら前記再アロケ

ーション工程と前記アロケーション変更工程とを繰り返して実行することが好ましい。

【0029】

前記出力工程は、前記資源レベルレイアウト微修正工程によって微修正された前記資源レベルレイアウト情報をさらに出力することが好ましい。

【0030】

以下、図面を参照して本発明の実施の形態を説明する。

【0031】

(実施の形態1)

図1は、実施の形態1に係る高位合成方法を示すフローチャートである。まず、CDFG生成工程において、デジタル回路の機能的な動作を記述した入力ファイルとデジタル回路の制約条件を記述した制約ファイルとに基づいてCDFG (Control Data Flow Graph) を生成する (ステップS201)。

【0032】

図2は、デジタル回路の機能的な動作を記述した入力ファイルの一例を示す図である。図2に示す入力ファイルの一例においては、デジタル回路の機能的な動作がC言語に従って記述されている。制約ファイルには、動作速度、消費電力等の回路性能制約条件、あるいは回路面積に対する制約条件が記述されている。

【0033】

図3は、実施の形態1に係る高位合成方法におけるCDFG生成工程によって生成されるCDFGを示す図である。実線の矢印はデータの流れを示しており、破線の矢印は制御の流れを示している。CDFG生成工程においては、入力ファイルと制約ファイルとの字句解析、構文解析、意味解析をこの順番に実行し、図3に示すCDFGを生成する。

【0034】

そして、スケジューリング工程において、CDFG生成工程によって生成されたCDFGと制約ファイルに記述されたデジタル回路の制約条件とに基づいてFSM (Finite State Machine) を生成し、CDFGの各ノ

ードを F S M の各状態に割り当ててスケジューリングする (ステップ S 2 0 2)

。

【0035】

図 4 は、スケジューリング工程によって F S M の各状態に割り当てられた C D F G の各ノードを示す図である。図 4 に示す例では、C D F G のノード + 1、ノード m 1、ノード + 2、ノード + 3 およびノード m 2 が F S M の状態 S 1 に割り当てられている。C D F G のノード + 4 およびノード m 3 は、F S M の状態 S 2 に割り当てられている。C D F G のノード * 1 およびノード m 4 は、F S M の状態 S 3 に割り当てられている。

【0036】

次に、初期共有化アロケーション工程において、スケジューリング工程によってスケジューリングされた C D F G の各ノードに対して、デジタル回路を構成するための演算器資源または記憶資源を可能な限り共有するように、演算器資源または記憶資源を割り当てて初期高位合成情報を生成する (ステップ S 2 0 3)。

【0037】

図 5 は初期共有化アロケーション工程によって資源を割り当てられた C D F G の各ノードを示す図であり、図 6 は初期共有化アロケーション工程によって生成された初期高位合成情報を示す図である。デジタル回路を構成するための資源 7 0 1 は、記憶資源レジスタ r e g 1 および r e g 2 と加算器 a d d 1、a d d 2 および a d d 3 と乗算器 m u l t 1 と 2 入力 1 出力のマルチプレクサ 2-1 M U X 1、2-1 M U X 2、2-1 M U X 3、2-1 M U X 4 および 2-1 M U X 5 とを含んでいる。

【0038】

図 5 および図 6 に示す例では、F S M の状態 S 1 に割り当てられたノード m 1 と F S M の状態 S 2 に割り当てられたノード m 3 と F S M の状態 S 3 に割り当てられたノード m 4 とに、レジスタ r e g 1 が共通に割り当てられている。F S M の状態 S 1 に割り当てられたノード m 2 には、レジスタ r e g 2 が割り当てられている。F S M の状態 S 1 に割り当てられたノード + 1 と F S M の状態 S 2 に割り当てられたノード + 4 とには、加算器 a d d 1 が共通に割り当てられている。

【0039】

F S Mの状態S 1に割り当てられたノード+ 2には加算器a d d 2が割り当てられており、F S Mの状態S 1に割り当てられたノード+ 3には加算器a d d 3が割り当てられており、F S Mの状態S 3に割り当てられたノード* 1には乗算器m u l t 1が割り当てられている。

【0040】

F S Mの状態S 1に割り当てられたエッジa d d 2__r e g 2およびエッジa d d 3__r e g 2はともに資源r e g 2への同一ポートへの入力となるため、マルチプレクサ2-1 M U X 1を挿入して資源r e g 2への入力が制御されている。F S Mの状態S 1に割り当てられた入力エッジi n 1とF S Mの状態S 2に割り当てられたエッジr e g 1__a d d 1とには、同様にマルチプレクサ2-1 M U X 2が共通に挿入されている。

【0041】

F S Mの状態S 3に割り当てられたエッジr e g 2__m u x 4およびノードi n 6には、同様にマルチプレクサ2-1 M U X 4が共通に挿入されている。F S Mの状態S 1に割り当てられたエッジa d d 1__r e g 1とF S Mの状態S 2に割り当てられたエッジm u l t 1__r e g 1とには、同様にマルチプレクサ2-1 M U X 5が共通に挿入されている。

【0042】

その後、資源レベルレイアウト工程において、初期共有化アロケーション工程によって生成された初期高位合成情報に基づいて資源レベルレイアウト情報を生成する（ステップS 204）。

【0043】

図7は、初期共有化アロケーション工程によって生成された初期高位合成情報に基づいて資源レベルにおいてレイアウトされたデジタル回路を示す図である。C D F Gの各ノードは、可能な限り資源を共有するようにレイアウトされている。破線によって囲まれた領域R 1～領域R 6は、配線混雑度を推定する際に用いるレイアウト部分領域である。図7に示す例では、デジタル回路を6分割した例を示している。

【0044】

図8は、資源レベルレイアウト工程によって生成された資源レベルレイアウト情報を示す図である。各欄にそれぞれ記載された数値は、各資源の間の結線の長さを示す資源間結線距離情報を示している。例えば、記憶資源レジスタ `reg1` とマルチプレクサ `2-1MUX2` との間の資源間結線距離情報は「8」となっており、記憶資源レジスタ `reg1` とマルチプレクサ `2-1MUX5` との間の資源間結線距離情報は「1」となっている。

【0045】

図9は、資源レベルレイアウト工程によって生成された他の資源レベルレイアウト情報を示す図である。図9には、レイアウト部分領域 `R1`、`R2`、`R3`、`R4`、`R5` および `R6` における配線の混雑の度合いを示す配線混雑度情報が示されている。配線混雑度情報は、各レイアウト部分領域 `R1`、`R2`、`R3`、`R4`、`R5` および `R6` 内に存在する配線の本数によって表されている。図9に示す例では、レイアウト部分領域 `R1` においては配線混雑度情報が「9」になっており、レイアウト部分領域 `R2` においては配線混雑度情報が「6」になっており、レイアウト部分領域 `R3` においては配線混雑度情報が「6」になっている。レイアウト部分領域 `R4` においては配線混雑度情報が「4」になっており、レイアウト部分領域 `R5` においては配線混雑度情報が「6」になっており、レイアウト部分領域 `R6` においては配線混雑度情報が「2」になっている。なお、配線混雑度情報は、配線可能な配線層数を考慮したり、水平垂直成分で別々に評価したりすることで、より実際のレイアウトを反映した複雑な表現方法を用いることもできる。

【0046】

そして、資源レベルレイアウト工程によって生成された資源レベルレイアウト情報が、制約ファイルに記述されたデジタル回路の制約条件を示す所定の基準を満たしているか否かを判断する（ステップ `S205`）。資源レベルレイアウト情報が所定の基準を満たしていると判断したときは（ステップ `S205` において `YES`）、処理を終了する。

【0047】

資源レベルレイアウト情報が所定の基準を満たしていないと判断したときは（

ステップ S 2 0 5 において N O) 、資源分割化アロケーション工程において、初期共有化アロケーション工程によって生成された初期高位合成情報と資源レベルレイアウト工程によって生成された資源レベルレイアウト情報とに基づいて、C D F G の各ノードに対する資源の割り当てを変更した修正高位合成情報を生成する (ステップ S 2 0 6) 。

【 0 0 4 8 】

資源分割化アロケーション工程 (ステップ S 2 0 6) においては、初期高位合成情報と資源レベルレイアウト情報とに基づいて、資源を共有することにより資源間結線距離が長くなり、あるいは、レイアウト領域内配線混雑度が高くなるために設計制約を満たさない原因となっている共有化された資源を抽出し、C D F G の各ノードを別々の資源に割り当てるように資源割り当てを変更する。

【 0 0 4 9 】

図 7 に示す例では、記憶資源レジスタ `reg1` から出力されたデータが、マルチプレクサ `MUX2` を経由して加算器 `add1` によって演算され、マルチプレクサ `MUX5` を経由して再び記憶資源レジスタ `reg1` に格納される。資源間結線情報から得られたマルチプレクサ `MUX2` と記憶資源レジスタ `reg1` との間の結線距離 8 0 1 が長いために、動作速度あるいは消費電力などの回路性能が満たすことができない。

【 0 0 5 0 】

記憶資源レジスタ `reg1` は、C D F G のノード `m1`、ノード `m3` およびノード `m4` によって共有されている。このように資源を共有化すると、接続先の資源からの距離が遠くなったり、また、各資源の間を接続する結線が集中して配置されるために、レイアウト領域内混雑度が高くなってしまうおそれがある。

【 0 0 5 1 】

図 1 0 は資源分割化アロケーション工程によって資源の割り当てを変更された C D F G の各ノードを示す図であり、図 1 1 は資源分割化アロケーション工程によって生成された修正高位合成情報を示す図である。図 5 および図 6 をそれぞれ参照して前述した構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

【0052】

前述した図5および図6と異なる点は、FSMの状態S1に割り当てられたノードm1とFSMの状態S2に割り当てられたノードm3とがレジスタreg1に共通に割り当てられており、FSMの状態S3に割り当てられたノードm4はレジスタreg3に割り当てられている点である。このように、FSMの状態S1に割り当てられたノードm1とFSMの状態S2に割り当てられたノードm3とFSMの状態S3に割り当てられたノードm4との3個のノードに共通に割り当てられていたレジスタreg1は、FSMの状態S1のノードm1とFSMの状態S2のノードm3との2個のノードに共通に割り当てられたレジスタreg1とFSMの状態S3のノードm4に割り当てられたレジスタreg3とに分割されている。

【0053】

次に、資源レベルレイアウト微修正工程において、資源分割化アロケーション工程（ステップS206）によって生成された修正高位合成情報に基づいて資源レベルレイアウト情報を微修正する（ステップS207）。

【0054】

図12は、資源レベルレイアウト微修正工程によってレイアウトを微修正されたデジタル回路を示す図である。修正高位合成情報に基づいて記憶資源レジスタreg1のレイアウトを微修正した結果、マルチプレクサMUX2と記憶資源レジスタreg1との間の結線距離1201は、レイアウトを微修正する前のマルチプレクサMUX2と記憶資源レジスタreg1との間の結線距離801よりも短くなっている。

【0055】

その後、ステップS205へ戻る。このようにして、所定の基準を満足するまで資源分割化アロケーション工程と資源レベルレイアウト微修正工程とを繰り返して実行する。

【0056】

以上のように実施の形態1によれば、スケジューリング工程（ステップS201）によってスケジューリングされたCDFGの各ノードに対して、デジタル回

路を構成するための資源のレイアウトを示す資源レベルレイアウト情報に基づいて資源を割り当てて修正高位合成情報を生成する。このため、資源レベルレイアウト工程（ステップS204）によって得られた資源レベルレイアウト情報を高位合成工程のアロケーションフェーズへフィードバックすることができる。従って、高位合成工程以降の下流工程において設計制約を満たさなかった場合に、高位合成工程における入力ファイルまたは制約ファイルを修正することなく、高位合成工程からレイアウト工程までを自動的に実行することができる。その結果、高位合成情報を生成するための時間を短縮することができる。

【0057】

図13は実施の形態1に係る高位合成方法における資源分割化アロケーション工程によって生成された他の修正高位合成情報を示す図であり、図14は資源レベルレイアウト微修正工程によってレイアウトを微修正された他のデジタル回路を示す図である。前述した図10、図11および図12に示す例では、設計制約として回路性能を取り上げて説明したが、本発明はこれに限定されない。混雑度情報を用いて回路面積を評価することもできる。その場合、図7に示すように、マルチプレクサMUX2とレジスタreg1との間の配線が長いために、領域R1内における配線混雑度が高くなる結果、回路面積が増大することになる。

【0058】

そこで、資源分割化アロケーション工程（ステップS206）において、ノード+1とノード+4とで共有化されている演算器add1を分割するようにし、先の説明と同様にして、図13に示すようにCDFGを再生成し、そして、図14に示すようにレイアウトを微修正すればよい。

【0059】

また、回路性能と回路面積を同時に評価して、両方の処理、あるいは、優先度を設けてどちらか一方の処理を行うと、回路性能と回路面積の両方を最適にすることができる。あるいは、トレードオフによる最適化を実施することが可能となる。

【0060】

さらに、資源レベルレイアウト情報にマージンを付加することによって資源レ

ベルレイアウト情報の値を大きくしたり、逆に値を小さくしたりして資源レベルレイアウト情報の値を変更できるようにすると、実際のレイアウト設計における制約を満たしたレイアウトの実現性の容易性を変更することもできる。具体的には、レイアウト影響度を表すレイアウト影響係数を設定し、設定したレイアウト影響係数の値を資源レベルレイアウト情報の値に乗算すればよい。

【0061】

以上説明したように、実施形態1によれば、まず、可能な限り資源を共有するように高位合成されたCDFGをレイアウトする。そして、それを初期解として、資源レベルレイアウト情報の資源間結線距離が長く、あるいは、マクロ領域内配線混雑度が高く設計制約を満たさない原因となっている共有された資源を別々の資源に再アロケーションして、レイアウト微修正を行う。設計制約を満たすまでこれを繰り返すことにより、資源レベルのレイアウト結果に基づいて、高位レベルにおいて回路を生成することができるので、レイアウト後に設計制約に違反しない範囲において最適な資源共有化を図ることができる。

【0062】

(実施の形態2)

図15は、実施の形態2に係る高位合成方法を示すフローチャートである。CDFG生成工程(ステップS1501)およびスケジューリング工程(ステップS1502)は、実施の形態1において図1を参照して前述したCDFG生成工程(ステップS201)およびスケジューリング工程(ステップS202)とそれぞれ同一である。従って、これらの工程の説明は省略する。

【0063】

初期非共有化アロケーション工程(ステップS1503)においては、可能な限りハードウェア資源を共有化しないように、CDFGの各ノードに対して演算器資源または記憶資源を割り当てて、初期高位合成情報を生成する。

【0064】

図16は初期非共有化アロケーション工程によって資源を割り当てられたCDFGの各ノードを示す図であり、図17は初期非共有化アロケーション工程によって生成された初期高位合成情報を示す図である。

【0065】

図16および図17に示す例では、FSMの状態S1に割り当てられたノードm1に、レジスタreg1が割り当てられている。FSMの状態S1に割り当てられたノードm2には、レジスタreg2が割り当てられている。FSMの状態S2に割り当てられたノードm3には、レジスタreg3が割り当てられている。FSMの状態S3に割り当てられたノードm4には、レジスタreg4が割り当てられている。

【0066】

FSMの状態S1に割り当てられたノード+1には、加算器add1が割り当てられている。FSMの状態S1に割り当てられたノード+2には加算器add2が割り当てられており、FSMの状態S1に割り当てられたノード+3には加算器add3が割り当てられている。FSMの状態S2に割り当てられたノード+4には、加算器add4が割り当てられている。FSMの状態S3に割り当てられたノード*1には、乗算器mult1が割り当てられている。

【0067】

FSMの状態S1に割り当てられたエッジadd2__reg2およびエッジadd3__reg2には、マルチプレクサ2-1MUX1が共通に割り当てられている。FSMの状態S3に割り当てられたエッジreg2__mux4とFSMの状態S3に割り当てられたノードin6とには、マルチプレクサ2-1MUX2が共通に割り当てられている。

【0068】

このように、初期非共有化アロケーション工程においては、可能な限りハードウェア資源を共有化しないようにCDFGの各ノードに対して演算器資源または記憶資源を割り当てている。

【0069】

そして、資源レベルレイアウト工程において、初期非共有化アロケーション工程によって生成された初期高位合成情報に基づいて資源レベルレイアウト情報を生成する（ステップS1504）。

【0070】

図18は、初期非共有化アロケーション工程によって生成された初期高位合成情報に基づいてレイアウトされたデジタル回路を示す図である。C D F Gの各ノードは、可能な限り資源を共有しないようにレイアウトされている。破線によって囲まれた領域R1～領域R6は、配線混雑度を推定する際に用いるレイアウト部分領域である。図18に示す例では、デジタル回路を6分割した例を示している。

【0071】

図19は、資源レベルレイアウト工程によって生成された資源レベルレイアウト情報を示す図である。各欄にそれぞれ記載された数値は、各資源の間の結線の長さを示す資源間結線距離情報を示している。例えば、記憶資源レジスタreg1と記憶資源レジスタreg2との間の資源間結線距離情報は「4」となっており、記憶資源レジスタreg2と記憶資源レジスタreg3との間の資源間結線距離情報は「1」となっている。

【0072】

図20は、資源レベルレイアウト工程によって生成された他の資源レベルレイアウト情報を示す図である。図20には、レイアウト部分領域R1、R2、R3、R4、R5およびR6における配線の混雑の度合いを示す配線混雑度情報が示されている。配線混雑度情報は、各レイアウト部分領域R1、R2、R3、R4、R5およびR6内に存在する配線の本数によって表されている。図20に示す例では、レイアウト部分領域R1においては配線混雑度情報が「7」になっており、レイアウト部分領域R2においては配線混雑度情報が「7」になっており、レイアウト部分領域R3においては配線混雑度情報が「6」になっている。レイアウト部分領域R4においては配線混雑度情報が「1」になっており、レイアウト部分領域R5においては配線混雑度情報が「3」になっており、レイアウト部分領域R6においては配線混雑度情報が「2」になっている。

【0073】

そして、資源レベルレイアウト工程によって生成された資源レベルレイアウト情報が、制約ファイルに記述されたデジタル回路の制約条件を示す所定の基準を満たしているか否かを判断する（ステップS1505）。資源レベルレイアウト

情報が所定の基準を満たしていると判断したときは（ステップ S 1505 において YES）、処理を終了する。

【0074】

資源レベルレイアウト情報が所定の基準を満たしていないと判断したときは（ステップ S 1505 において NO）、資源共有化アロケーション工程において、初期非共有化アロケーション工程によって生成された初期高位合成情報と資源レベルレイアウト工程によって生成された資源レベルレイアウト情報とに基づいて、C D F G の各ノードに対する資源の割り当てを変更した修正高位合成情報を生成する（ステップ S 1506）。

【0075】

資源共有化アロケーション工程（ステップ S 1506）では、初期非共有化アロケーション工程（ステップ S 1503）によって生成された初期高位合成情報と資源レベルレイアウト工程（ステップ S 1504）によって生成された資源レベルレイアウト情報とに基づいて資源を共有化する。資源を共有化することにより資源間結線距離が長くなったりレイアウト領域内混雑度が高くなったりするため、ここでは、設計制約を満たす範囲において共有化することができる資源を抽出し、抽出した資源を共有化するように資源割り当てを変更する。

【0076】

図 18 に示す例では、図 17 に示す初期高位合成情報から、記憶資源 *reg1* または記憶資源 *reg2* は *reg3* と共有化することができる。また、図 19 に示す資源間結線距離情報から、共有化候補の記憶資源 *reg2* と記憶資源 *reg3* との間の結線距離 1801 の方が記憶資源 *reg1* と記憶資源 *reg2* との間の結線距離 1802 よりも短い。記憶資源 *reg2* が記憶するデータが出力されるマルチプレクサ 2-1 MUX 1 と記憶資源 *reg3* が記憶するデータが出力される加算器 *add4* との間の結線距離 1803 と、記憶資源 *reg1* が記憶するデータが出力される加算器 *add1* とマルチプレクサ 2-1 MUX 1 との間の結線距離 1804 とは同じである。図 20 に示すレイアウト領域内混雑度情報から、記憶資源 *reg1* が属するレイアウト部分領域 R 1 の混雑度と記憶資源 *reg2* および記憶資源 *reg3* が属するレイアウト部分領域 R 2 の混雑度も同じであ

る。距離が遠い資源を共有すると、結線距離が長くなってしまうため、資源共有化アロケーション工程においては記憶資源 $reg2$ と記憶資源 $reg3$ とを共有化するようにする。

【0077】

図21は資源共有化アロケーション工程によって資源の割り当てを変更された CDFG の各ノードを示す図であり、図22は資源共有化アロケーション工程によって生成された修正高位合成情報を示す図である。

【0078】

記憶資源 $reg2$ に割り当てられていた CDFG のノード $m2$ と記憶資源 $reg3$ に割り当てられていた CDFG のノード $m3$ とは、1 個の記憶資源 $reg3$ に共通に割り当てられている。

【0079】

次に、資源レベルレイアウト微修正工程（ステップ S1507）に進み、資源共有化アロケーションを実施した後の CDFG を解析して、レイアウトを微修正する。

【0080】

図23は、資源レベルレイアウト微修正工程によってレイアウトを微修正されたデジタル回路を示す図である。この資源共有化アロケーション工程（ステップ S1506）と資源レベルレイアウト微修正工程（ステップ S1507）との一連の処理を、設計制約を満たす限り繰り返す。

【0081】

以上のように実施の形態2によれば、まず、可能な限り資源を共有しないように高位合成された CDFG をレイアウトする。そして、それを初期解として、資源間結線距離とレイアウト領域内配線混雑度とが悪化しても設計制約を満たす範囲に収まる程度に共有化することが可能な資源を抽出し、抽出した資源を共有化するように再アロケーションして、レイアウトを微修正する。設計制約を満たす範囲においてこれを繰り返すことにより、資源レベルのレイアウト結果に基づき、高位レベルで回路生成することができるので、レイアウト後に設計制約に違反しない範囲において最適な資源共有化を図ることができる。

【0082】

なお、前述した実施の形態2においては、説明を簡単にするために、2個の共有化可能な資源に着目して共有化する例を説明したが、本発明はこれに限定されない。3個以上の資源を同時に評価して、共有化することもできる。

【0083】

次に、実施の形態2の変形例を説明する。図24は、実施の形態2に係る高位合成方法における同期方式クロック回路の合成容易性の推定方法を説明するための図である。実施の形態2の変形例が前述した実施の形態2と異なる点は、資源共有化アロケーション工程（ステップS1506）が、設計制約を満たすように資源を共有化する際に、全記憶資源の配置に基づいて同期方式クロック回路の合成容易性を推定する推定工程を含んでいる点である。

【0084】

高位合成工程の後に実行されるレイアウト合成工程においては、各記憶資源に供給されるクロック信号がすべて同時刻に記憶資源へ到達するようにクロック回路が合成される。合成される同期方式クロック回路の規模は、記憶資源が配置される位置の分布状況に依存している。このため、記憶資源を共有化する際には記憶資源が配置される全体の分布を考慮することが重要である。

【0085】

本明細書において「合成容易性」とは、回路を合成する容易性を意味し、合成される回路の規模が小さければ小さいほど回路の合成は容易になる。

【0086】

実施の形態2の変形例においては、記憶資源の配置に粗密があればあるほど、合成される回路の規模が増大することを利用して、同期資源の配置分布を可能な限り均一にする。

【0087】

図24は、実施の形態2の変形例に係る高位合成方法における同期方式クロック回路の合成容易性の推定方法を説明するための図である。図24に示す例では、レイアウト領域は4行×4列の16個の領域に分割されている。図24において黒丸は、記憶資源を示している。記憶資源R1は、前述した実施の形態2の条

件下において、記憶資源 R 2 および記憶資源 R 3 のいずれとも共有することができるものとする。

【0088】

各分割領域内にそれぞれ配置された記憶資源の数に基づいて、分割領域内の記憶資源の数の分散を計算する。初期状態においては分散値は 0.33 となり、記憶資源 R 1 と記憶資源 R 2 とを共有すると分散値は 0.27 となり、記憶資源 R 1 と記憶資源 R 3 とを共有すると分散値は 0.53 となる。この場合、分散値がより小さく、配置位置のばらつきがより少なくなるように、記憶資源 R 1 と記憶資源 R 2 とを共有する。

【0089】

レイアウト領域が広いときは、段階的に分散を計算することによって、推定精度を高めることができる。図 24 に示す例では、まず、実線によって区切られた領域（第 1 階層）ごとに分散を計算する。次に、破線によって区切られた領域（第 2 階層）に関して第 1 階層ごとに分散を計算する。その後、前述した総計 5 個の分散値の和に基づいて合成容易性を推定する。この場合、初期状態においては分散値は 1.83 となり、記憶資源 R 1 と記憶資源 R 2 とを共有すると分散値は 1.83 となり、記憶資源 R 1 と記憶資源 R 3 とを共有すると分散値は 3.16 となる。

【0090】

以上のように実施の形態 2 の変形例によれば、記憶資源の配置分布を可能な限り均一にすることができる。このため、合成される同期方式クロック回路の規模が増大することを抑制することができる。その結果、クロック回路が消費する電力量を低減することができる。

【0091】

（実施の形態 3）

図 25 は、実施の形態 3 に係る高位合成方法を示すフローチャートである。図 1 および図 15 を参照して前述した高位合成方法を示すフローチャートの構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

【0092】

CDFG生成工程（ステップS201）～資源レベルレイアウト微修正工程（ステップS207）は、図1を参照して前述した実施の形態1における同工程と同一である。資源共有化アロケーション工程（ステップS1506）および資源レベルレイアウト微修正工程（ステップS1507）は、図15を参照して前述した実施の形態2における同工程と同一である。

【0093】

資源レベルレイアウト情報が所定の基準を満たしているとは判断したときは（ステップS205においてYES）、高位合成情報に基づいて共有することができる資源であって、かつ、未だ共有されていないハードウェア資源間の組み合わせが存在しないか否かを判断する（ステップS2301）。

【0094】

高位合成情報に基づいて共有することができる資源であって、かつ、未だ共有されていないハードウェア資源間の組み合わせが存在すると判断されたときは（ステップS2301においてNO）、その資源を共有化することによって、資源間結線距離が長くなり、またはレイアウト領域内混雑度が高くなっても設計制約を満たす範囲において共有化することができる資源の組み合わせを抽出し、資源を共有化することができるように資源割り当てを変更する。

【0095】

実施の形態3においては、図11に示す修正高位合成情報から、共有することができる資源であって、かつ未だ共有されていないハードウェア資源間の組み合わせである、記憶資源reg2に割り当てられたノードm2と、資源分割化アロケーション工程（ステップS206）によって資源分割され記憶資源reg3に割り当てられたノードm4とを共有の候補として選択する。また、資源レベルレイアウト情報に基づいて、記憶資源reg2と記憶資源reg3とが近距離にあるので、共有化しても資源間結線距離とレイアウト領域内混雑度とに関して設計制約に違反することがないと判断することができる。次に、前述した資源共有化アロケーション工程（ステップS1506）へ進む。

【0096】

図 26 は、実施の形態 3 に係る高位合成方法における資源レベルレイアウト微修正工程によってレイアウトを微修正されたデジタル回路を示す図である。図 26 には、図 12 に示すデジタル回路に対して、資源共有化アロケーション工程（ステップ S1506）において、ノード m2 とノード m4 とを記憶資源 reg3 に割り当てるように資源の割り当てを変更し、資源レベルレイアウト微修正工程（ステップ S1507）によってレイアウトを微修正した結果が示されている。このような資源共有化アロケーション工程の処理を設計制約を満たすまで繰り返す。

【0097】

以上のように実施の形態 3 によれば、まず、実施の形態 1 を実施した後に、別々の資源に再アロケーションされた資源に関して、初期解には存在しなかった組み合わせの資源を可能な限り共有することによって、資源レベルのレイアウト結果に基づいて高位レベルにおいて回路生成をすることができる。このため、レイアウトした後において設計制約に違反しない範囲において最適な資源の共有化を図ることができる。

【0098】

（実施の形態 4）

図 27 は、実施の形態 4 に係る高位合成方法を示すフローチャートである。図 1、図 15 および図 25 を参照して前述した高位合成方法を示すフローチャートの構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

【0099】

CDFG 生成工程（ステップ S201）～資源レベルレイアウト微修正工程（ステップ S207）は、図 1 を参照して前述した実施の形態 1 における同工程と同一である。資源共有化アロケーション工程（ステップ S1506）および資源レベルレイアウト微修正工程（ステップ S1507）は、図 15 を参照して前述した実施の形態 2 における同工程と同一である。高位合成情報に基づいて共有することができる資源であって、かつ、未だ共有されていないハードウェア資源間の組み合わせが存在しないか否かを判断する工程（ステップ S2301）は、図

25を参照して前述した実施の形態3における同工程と同一である。

【0100】

初期レイアウト影響係数設定工程（ステップS2501）において、資源レベルレイアウト情報の影響度を表す初期レイアウト影響係数として、本来設定したい目標レイアウト影響係数よりも小さい値を設定する。例えば、判定工程（ステップS205）において資源間結線距離情報の値をそのまま使用する場合は、目標レイアウト影響係数が1.0となり、初期レイアウト影響係数は1.0よりも小さい値が設定される。資源レベルレイアウト情報は、1.0よりも小さい値を乗じた値に更新される。

【0101】

次に、初期レイアウト影響係数が考慮された資源レベルレイアウト情報に基づいて、判定工程（ステップS205）によって基準が満たされていると判断されるまで資源分割化アロケーション工程（ステップS206）と資源レベルレイアウト微修正工程（ステップS207）とを繰り返す。判定工程（ステップS205）によって基準が満たされていると判断されたときの資源レベルレイアウト情報の結果は、初期レイアウト影響係数を満たした場合の結果であるため、未だ本来のレイアウト影響度を考慮した制約を満たしていないけれども、制約に大きく違反した重大なエラーを取り除くことができる。

【0102】

その後、前述した実施の形態3と同様に、判定工程（ステップS2301）において、高位合成情報に基づいて、共有可能な資源であって、且つ未だ共有化されていないハードウェア資源間の組み合わせが存在するか否かを判断する。ハードウェア資源間の組み合わせが存在すると判断したときは、その資源を共有化することによって、資源間結線距離が長くなり、またはレイアウト領域内混雑度が高くなっても設計制約を満たす範囲において共有化することのできる資源の組み合わせを抽出する（ステップS2301においてNO）。

【0103】

そして、資源共有化アロケーション工程（ステップS1506）において、資源を共有化するように資源割り当てを変更する。次に、資源レベルレイアウト微

修正工程（ステップS1507）においてレイアウトを微修正する。

【0104】

共有可能な資源であって、且つ未だ共有化されていないハードウェア資源間の組み合わせが存在しないと判断したときは（ステップS2301においてYES）、レイアウト影響係数判定工程（ステップS2502）において、現在のレイアウト影響係数が、最終的に与えるべき目標レイアウト影響係数であるか否かを判断する。現在のレイアウト影響係数が、最終的に与えるべき目標レイアウト影響係数であると判断したときは（ステップS2502においてYES）、高位合成処理を終了する。

【0105】

現在のレイアウト影響係数が、最終的に与えるべき目標レイアウト影響係数でないと判断したときは（ステップS2502においてNO）、レイアウト影響係数修正工程（ステップS2503）において、現在のレイアウト影響係数が目標レイアウト影響係数に近づくように現在のレイアウト影響係数を修正する。そして、ステップS205へ戻る。

【0106】

このように、ステップS205からステップS2503までの処理をレイアウト影響係数が目標レイアウト影響係数になるまで繰り返す。緩和されたレイアウト情報から順番に処理を進めることによって、1回の処理において制約に違反する資源割り当てを探索する空間を削減することができる。このため、高位合成処理を効率化することができる。また、レイアウト影響係数を変更しながら資源の割り当て処理を繰り返すため、初期解に対する依存の影響が前述した実施の形態3よりも小さい解空間の検索が可能になる。

【0107】

【発明の効果】

以上のように本発明によれば、高位合成情報を生成するための時間を短縮することができる高位合成方法を提供することができる。

【図面の簡単な説明】

【図1】

実施の形態 1 に係る高位合成方法を示すフローチャート

【図 2】

デジタル回路の機能的な動作を記述した入力ファイルの一例を示す図

【図 3】

実施の形態 1 に係る高位合成方法における C D F G 生成工程によって生成される C D F G を示す図

【図 4】

実施の形態 1 に係る高位合成方法におけるスケジューリング工程によって F S M の各状態に割り当てられた C D F G の各ノードを示す図

【図 5】

実施の形態 1 に係る高位合成方法における初期共有化アロケーション工程によって資源を割り当てられた C D F G の各ノードを示す図

【図 6】

実施の形態 1 に係る高位合成方法における初期共有化アロケーション工程によって生成された初期高位合成情報を示す図

【図 7】

実施の形態 1 に係る高位合成方法における初期共有化アロケーション工程によって生成された初期高位合成情報に基づいてレイアウトされたデジタル回路を示す図

【図 8】

実施の形態 1 に係る高位合成方法における資源レベルレイアウト工程によって生成された資源レベルレイアウト情報を示す図

【図 9】

実施の形態 1 に係る高位合成方法における資源レベルレイアウト工程によって生成された他の資源レベルレイアウト情報を示す図

【図 1 0】

実施の形態 1 に係る高位合成方法における資源分割化アロケーション工程によって資源の割り当てを変更された C D F G の各ノードを示す図

【図 1 1】

実施の形態 1 に係る高位合成方法における資源分割化アロケーション工程によって生成された修正高位合成情報を示す図

【図 1 2】

実施の形態 1 に係る高位合成方法における資源レベルレイアウト微修正工程によってレイアウトを微修正されたデジタル回路を示す図

【図 1 3】

実施の形態 1 に係る高位合成方法における資源分割化アロケーション工程によって生成された他の修正高位合成情報を示す図

【図 1 4】

実施の形態 1 に係る高位合成方法における資源レベルレイアウト微修正工程によってレイアウトを微修正された他のデジタル回路を示す図

【図 1 5】

実施の形態 2 に係る高位合成方法を示すフローチャート

【図 1 6】

実施の形態 2 に係る高位合成方法における初期非共有化アロケーション工程によって資源を割り当てられた C D F G の各ノードを示す図

【図 1 7】

実施の形態 2 に係る高位合成方法における初期非共有化アロケーション工程によって生成された初期高位合成情報を示す図

【図 1 8】

実施の形態 2 に係る高位合成方法における初期非共有化アロケーション工程によって生成された初期高位合成情報に基づいてレイアウトされたデジタル回路を示す図

【図 1 9】

実施の形態 2 に係る高位合成方法における資源レベルレイアウト工程によって生成された資源レベルレイアウト情報を示す図

【図 2 0】

実施の形態 2 に係る高位合成方法における資源レベルレイアウト工程によって生成された他の資源レベルレイアウト情報を示す図

【図 2 1】

実施の形態 2 に係る高位合成方法における資源共有化アロケーション工程によって資源の割り当てを変更された C D F G の各ノードを示す図

【図 2 2】

実施の形態 2 に係る高位合成方法における資源共有化アロケーション工程によって生成された修正高位合成情報を示す図

【図 2 3】

実施の形態 2 に係る高位合成方法における資源レベルレイアウト微修正工程によってレイアウトを微修正されたデジタル回路を示す図

【図 2 4】

実施の形態 2 に係る高位合成方法における同期方式クロック回路の合成容易性の推定方法を説明するための図

【図 2 5】

実施の形態 3 に係る高位合成方法を示すフローチャート

【図 2 6】

実施の形態 3 に係る高位合成方法における資源レベルレイアウト微修正工程によってレイアウトを微修正されたデジタル回路を示す図

【図 2 7】

実施の形態 4 に係る高位合成方法を示すフローチャート

【図 2 8】

従来の高位合成方法を示すフローチャート

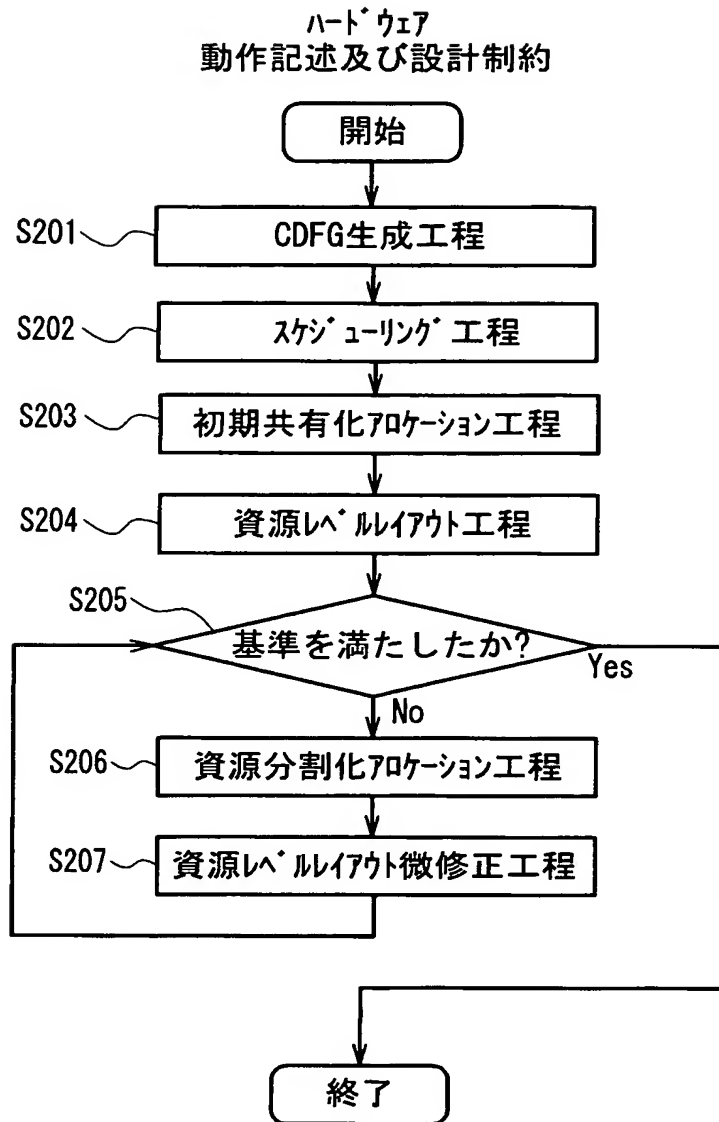
【符号の説明】

- S 2 0 1 C D F G 生成工程
- S 2 0 2 スケジューリング工程
- S 2 0 3 初期共有化アロケーション工程
- S 2 0 4 資源レベルレイアウト工程
- S 2 0 6 資源分割化アロケーション工程
- S 2 0 7 資源レベルレイアウト微修正工程
- S 1 5 0 1 C D F G 生成工程

- S 1 5 0 2 スケジューリング工程
- S 1 5 0 6 資源共有化アロケーション工程
- S 1 5 0 7 資源レベルレイアウト微修正工程
- S 2 5 0 1 初期レイアウト影響係数設定工程

【書類名】 図面

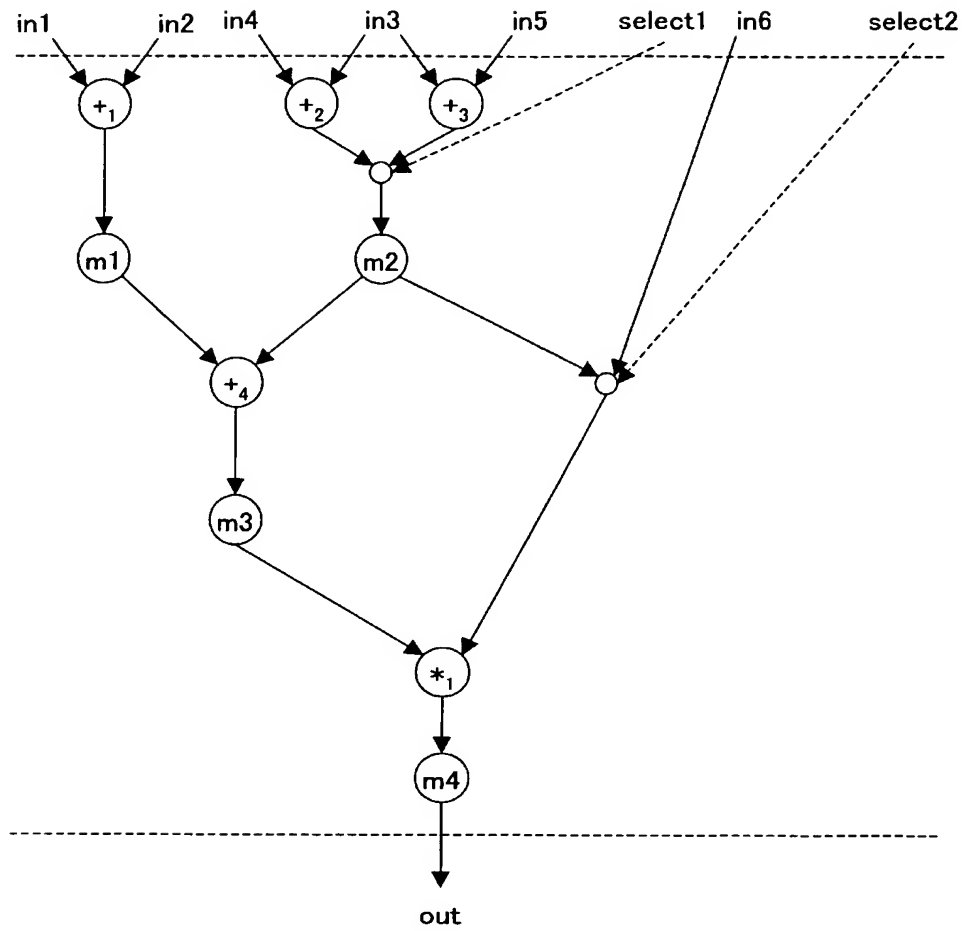
【図 1】



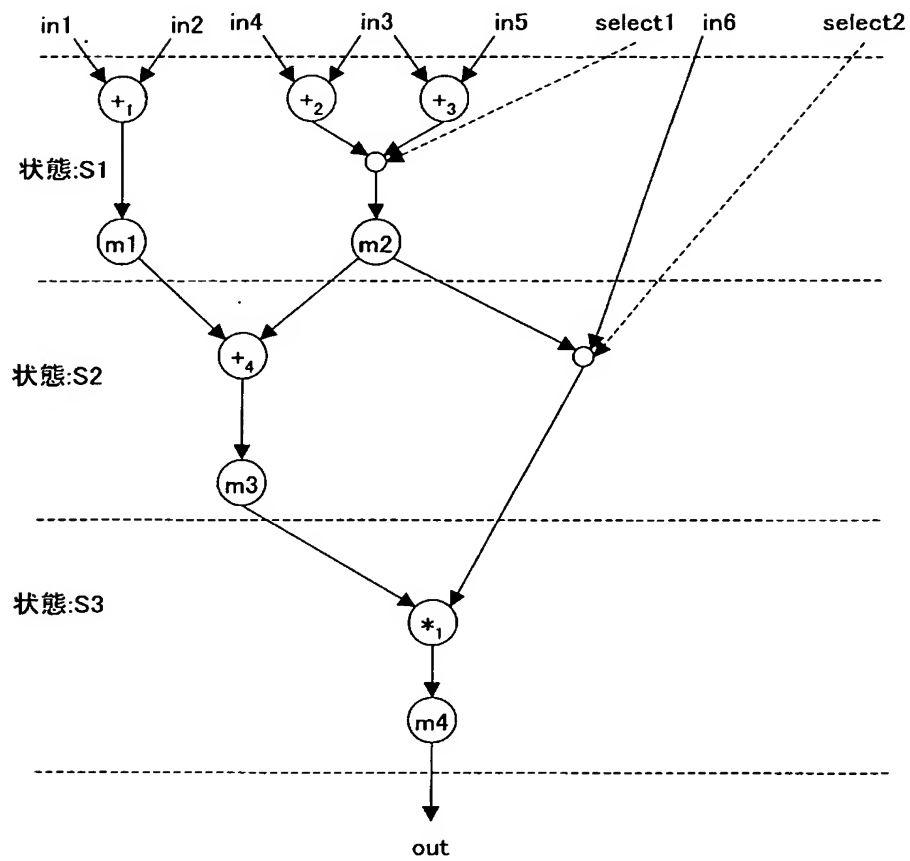
【図 2】

```
FUNCTION (  
    unsigned int in1,  
    unsigned int in2,  
    unsigned int in3,  
    unsigned int in4,  
    unsigned int in5,  
    unsigned int in6,  
    unsigned int select1,  
    unsigned int select2,  
    unsigned int *out  
)  
{  
    unsigned int m1, m2, m3, m4;  
  
    m1 = in1 + in2;  
    if (select1 == 0) {  
        m2 = in3 + in4;  
    }  
    else {  
        m2 = in3 + in5;  
    }  
    m3 = m1 + m2;  
  
    if (select2 == 0) {  
        m4 = m3 * in6;  
    } else {  
        m4 = m3 * m2;  
    }  
    *out = m4;  
}
```

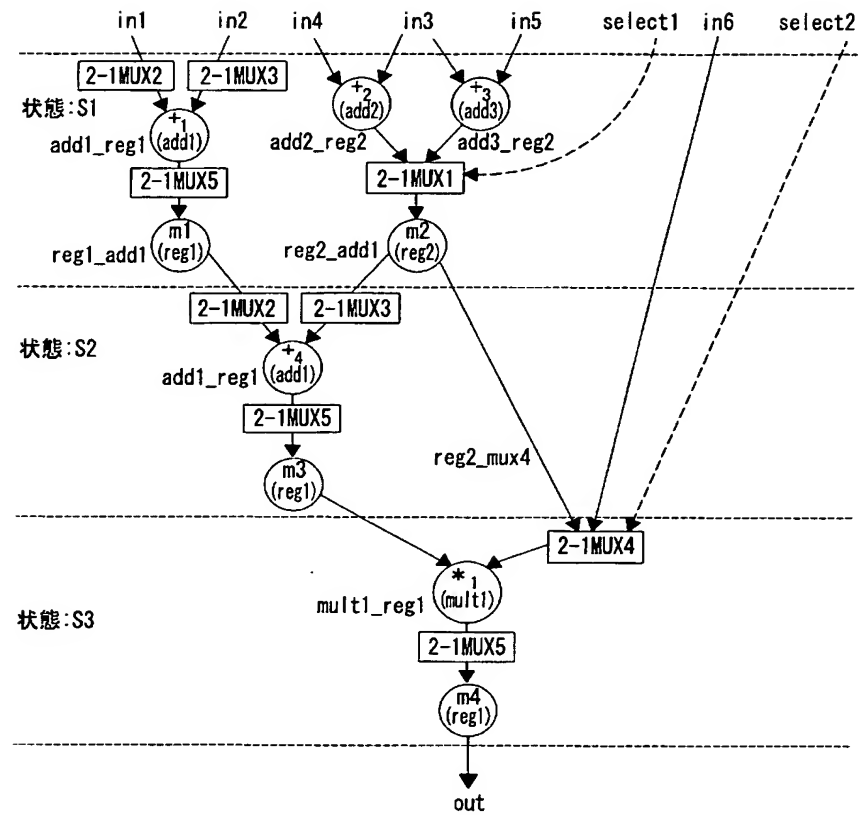
【図 3】



【図 4】



【図 5】

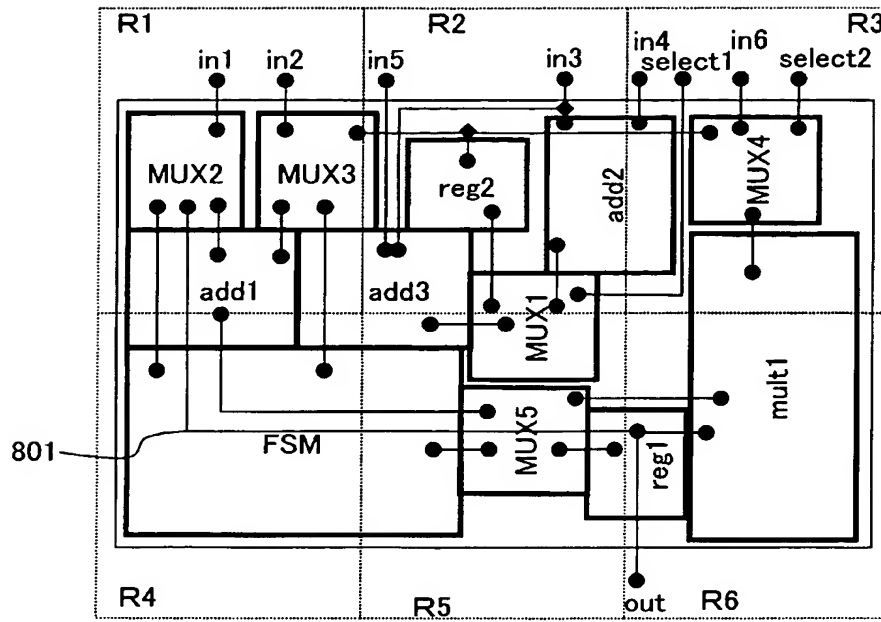


【図 6】

701

	S1	S2	S3
reg1	m1	m3	m4
reg2	m2		
add1	+ ₁	+ ₄	
add2	+ ₂		
add3	+ ₃		
molt1			* ₁
2-1MUX1	add2_reg2 add3_reg2		
2-1MUX2	in1	reg1_add1	
2-1MUX3	in2	reg2_add1	
2-1MUX4			reg2_mux4 in6
2-1MUX5	add1_reg1	add1_reg1	mult1_r g1

【図 7】



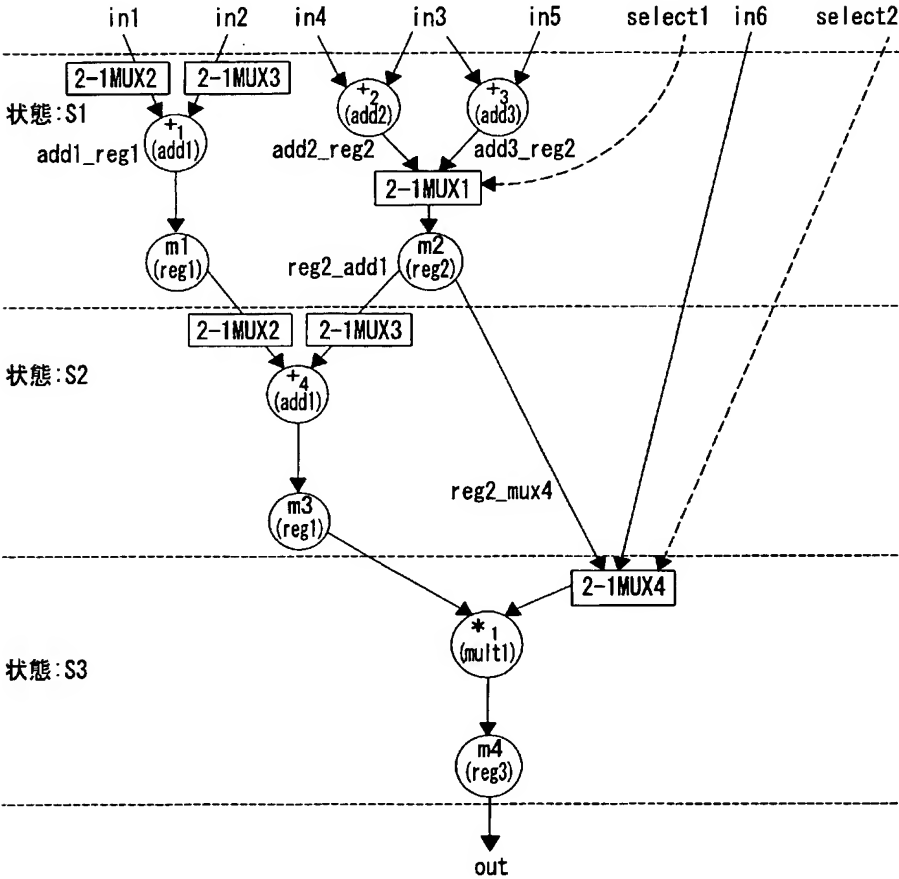
【図 8】

	reg1	reg2	add1	add2	add3	2- 1MUX1	2- 1MUX2	2- 1MUX3	2- 1MUX4	2- 1MUX5	FSM
reg1		5	7	3	5	3	8	6	5	1	3
reg2			4	2	3	3	3	2	4	4	6
add1				6	2	4	1	2	8	6	3
add2					3	3	4	3	2	5	7
add3						2	3	2	5	3	3
2-1MUX1							5	4	5	2	3
2-1MUX2								2	4	5	3
2-1MUX3									4	5	3
2-1MUX4										6	8
2-1MUX5											3
FSM											

【図 9】

R1	R2	R3	R4	R5	R6
9	6	6	4	6	2

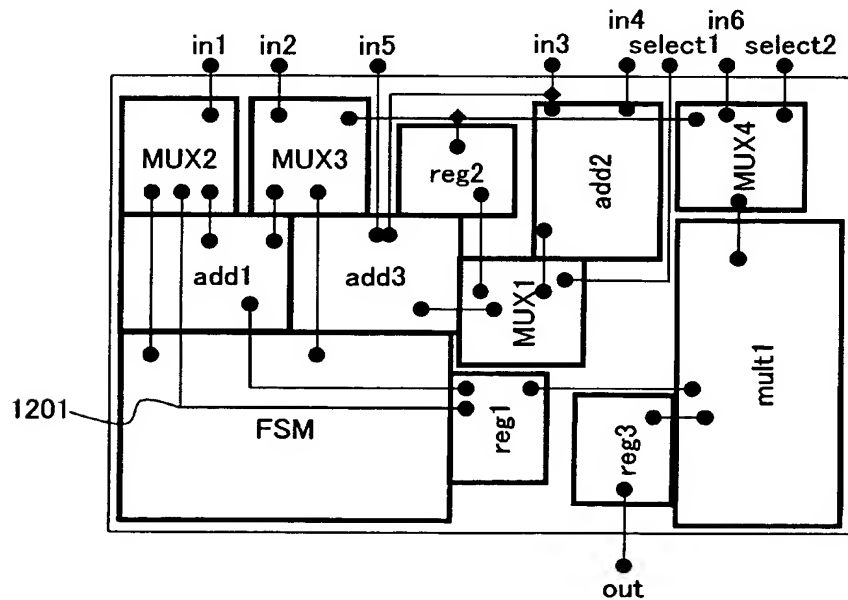
【図 10】



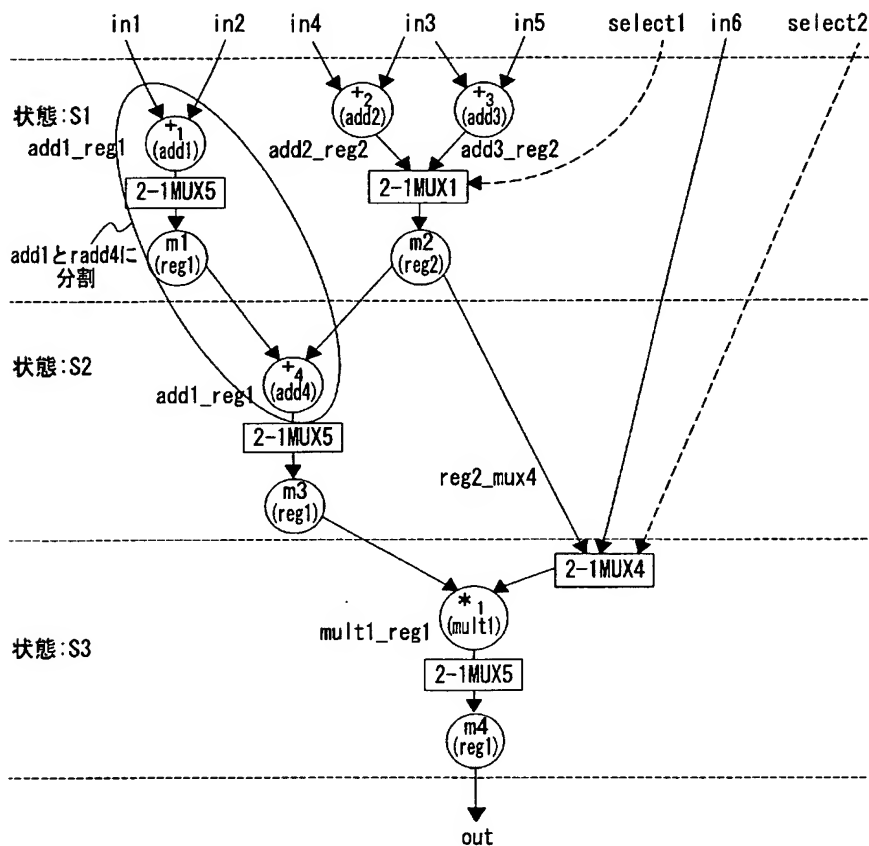
【図 1 1】

	S1	S2	S3
reg1	m1	m3	
reg2	m2		
reg3			m4
add1	+ ₁	+ ₄	
add2	+ ₂		
add3	+ ₃		
mutl1			* ₁
2-1MUX1	add2_reg2 add3_reg2		
2-1MUX2	in1	reg1_add1	
2-1MUX3	in2	reg2_add1	
2-1MUX4			reg2_mux4 in6

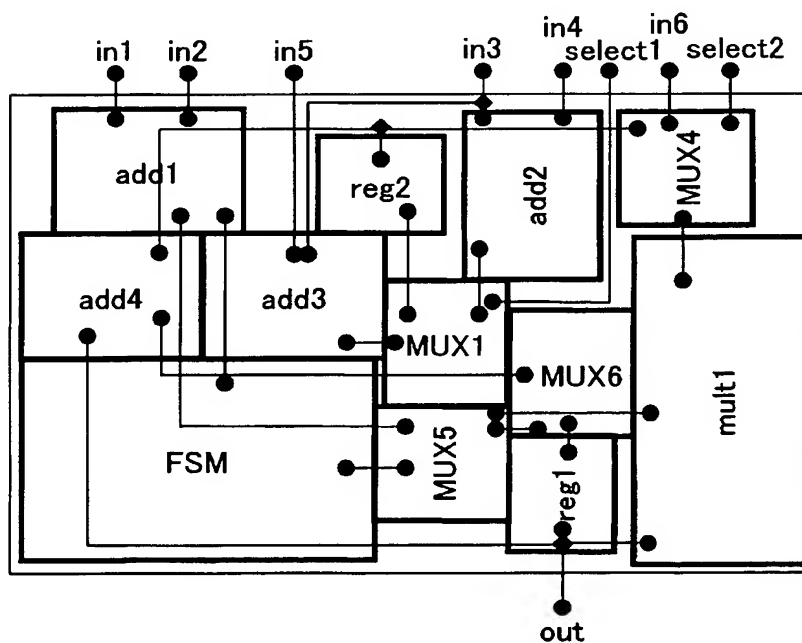
【図 1 2】



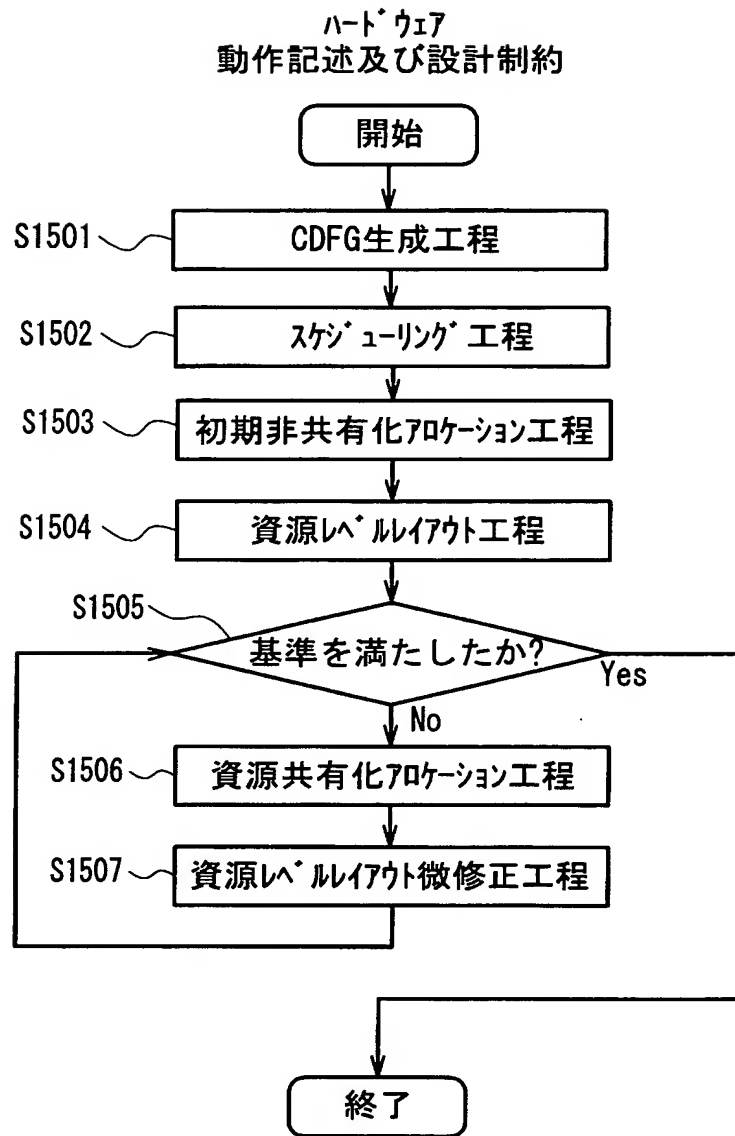
【図 1 3】



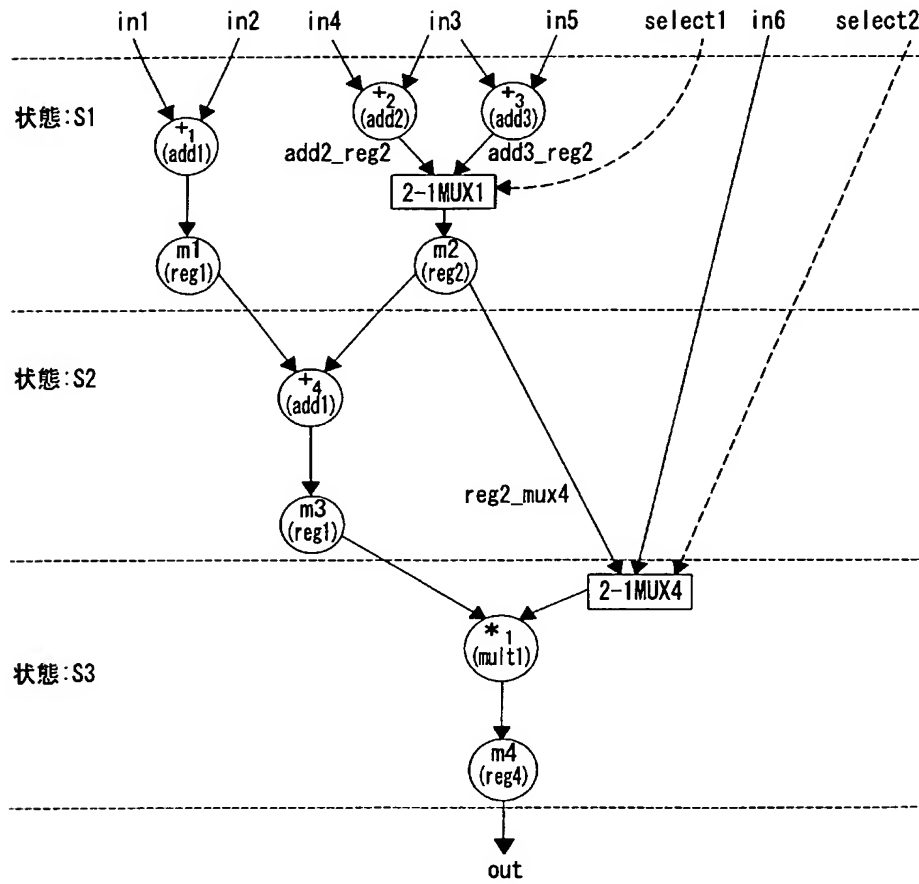
【図 1 4】



【図 15】



【図 1 6】

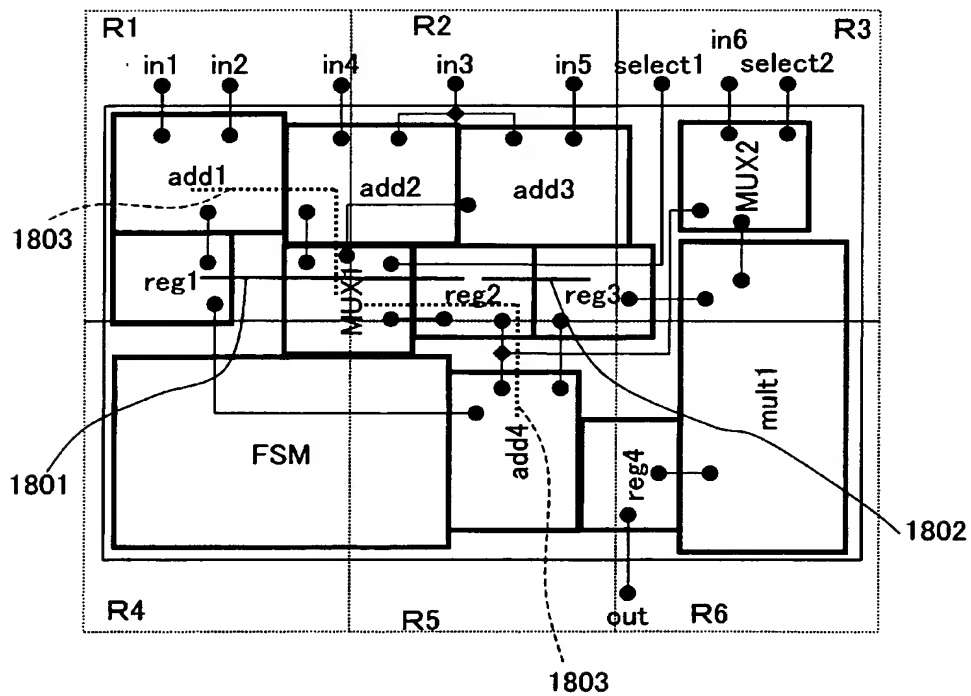


【図 17】

m1またはm2はm3、m4と共有可能

	S1	S2	S3
reg1	m1		
reg2	m2		
reg3		m3	
reg4			m4
add1	+ ₁		
add2	+ ₂		
add3	+ ₃		
add4		+ ₄	
mutl1			* ₁
2-1MUX1	add2_reg2 add3_reg2		
2-1MUX2			reg2_mux4 in6

【図 18】



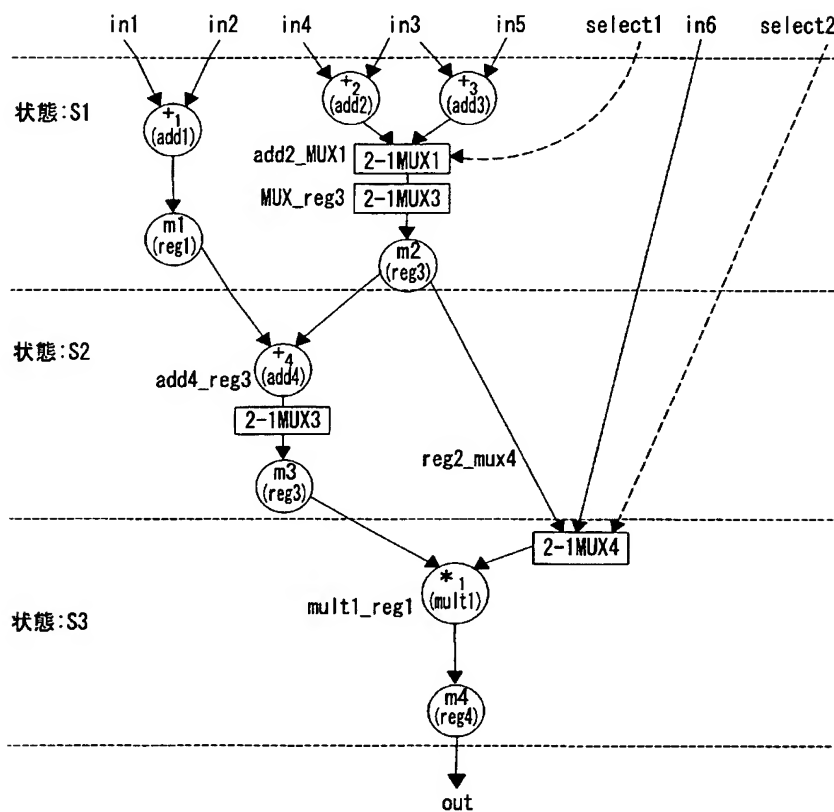
【図 1 9】

	reg1	reg2	reg3	reg4	add1	add2	add3	add4	mult1	2-1MUX1	2-1MUX2	FSM
reg1		4	5	9	1	3	5	6	7	2	8	2
reg2			1	5	5	2	2	4	3	1	4	4
reg3				2	6	2	1	2	2	2	2	4
reg4					9	4	3	1	1	4	4	4
add1						1	3	6	10	3	8	3
add2							1	4	5	1	3	3
add3								3	4	2	2	4
add4									2	3	5	2
mult1										4	2	4
2-1MUX1											4	1
2-1MUX2												6
FSM												

【図 20】

R1	R2	R3	R4	R5	R6
7	7	6	1	3	2

【図 21】

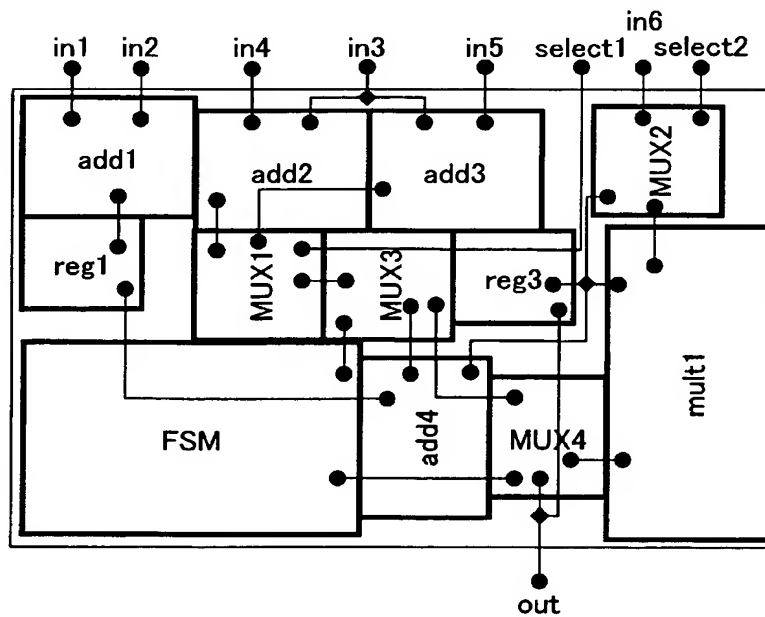


【図 2 2】

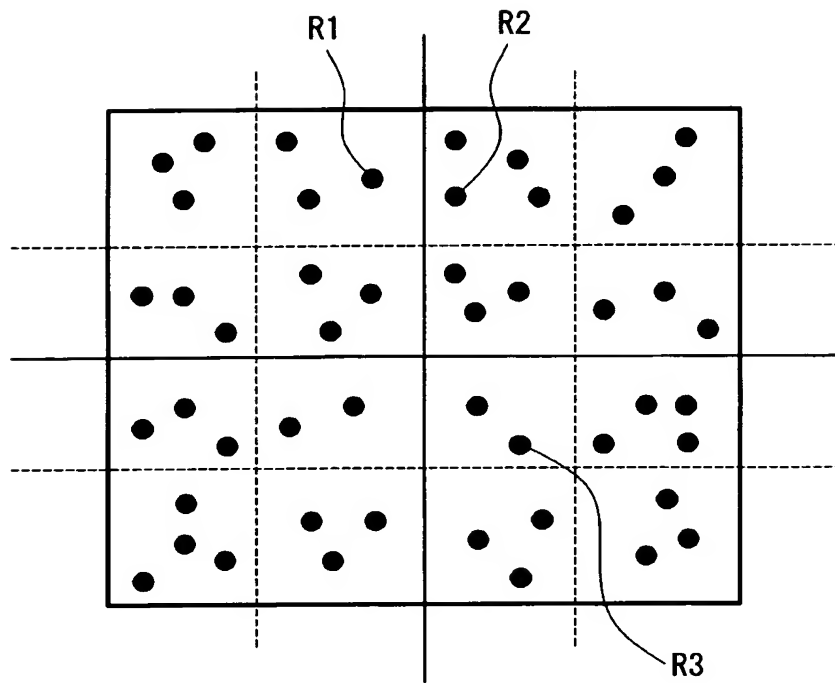
m2とm3を共有化

	S1	S2	S3
reg1	m1		
reg3	m2	m3	
reg4			m4
add1	+ ₁		
add2	+ ₂		
add3	+ ₃		
add4		+ ₄	
mutl1			* ₃
2-1MUX1	add2_reg2 add3_reg2		
2-1MUX2			reg2_mux4 in6

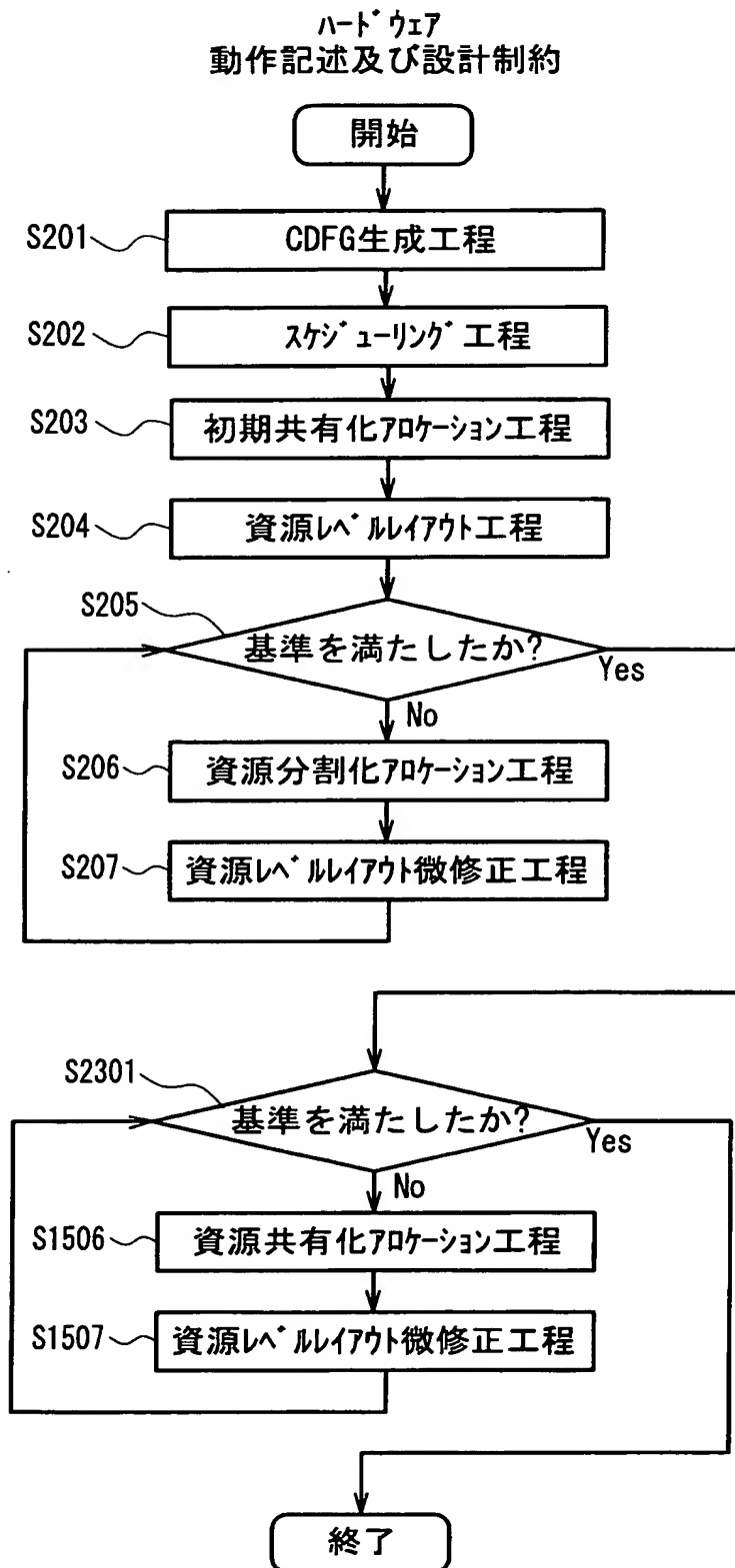
【図 2 3】



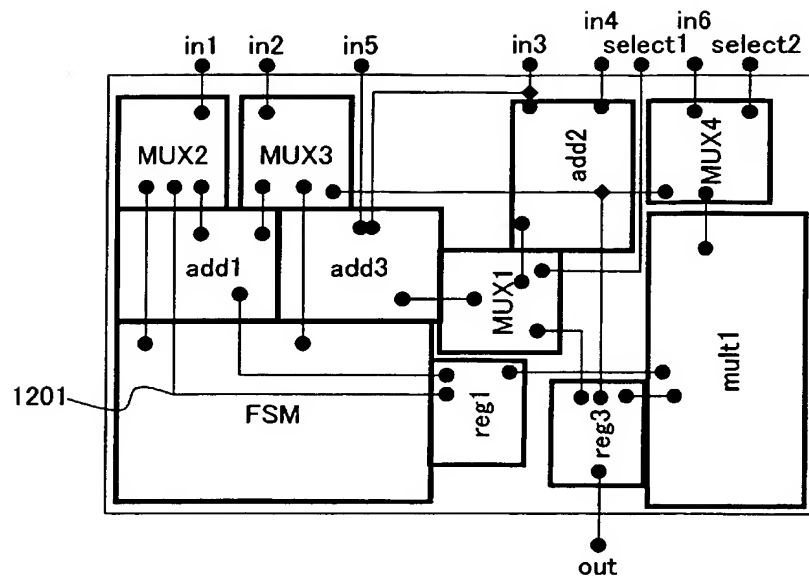
【図 2 4】



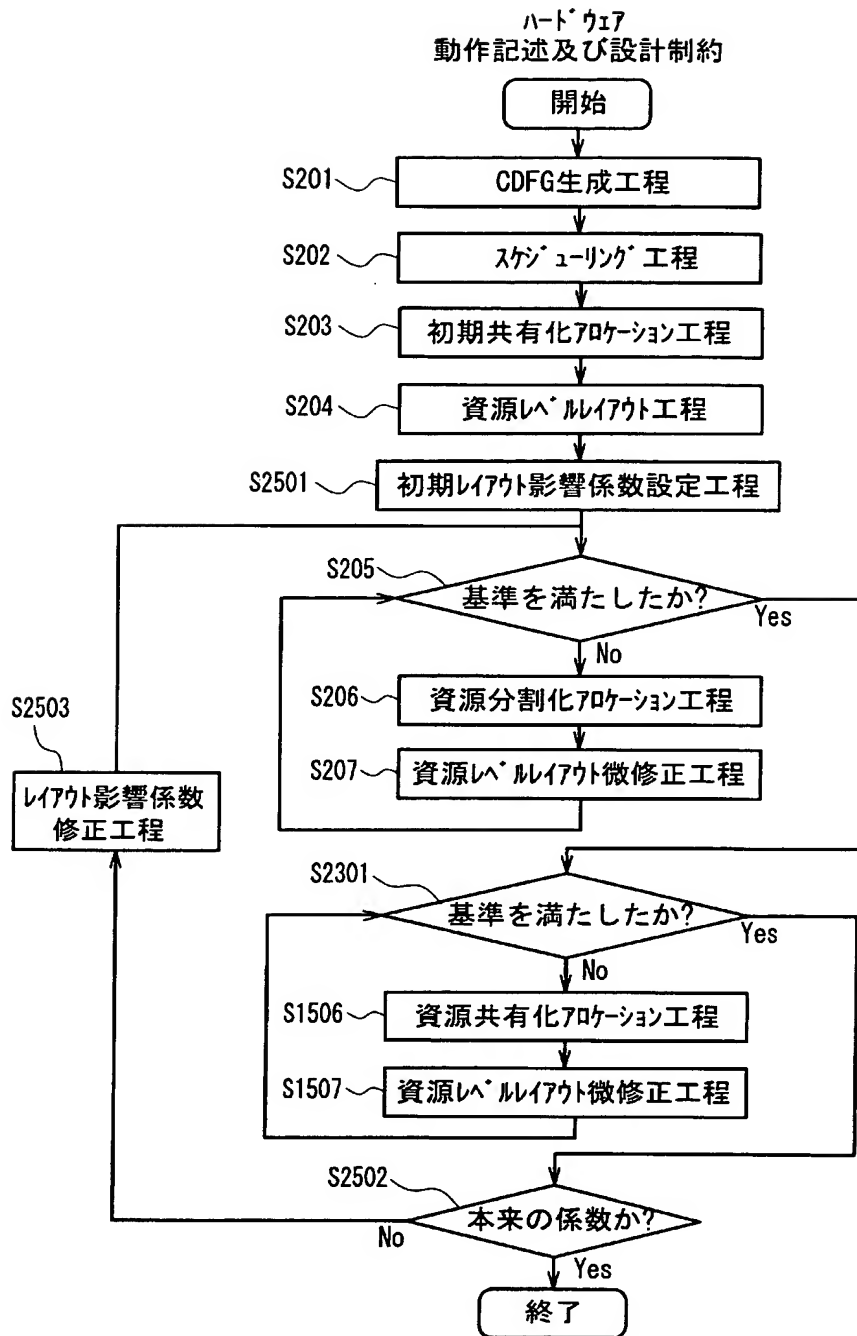
【図 25】



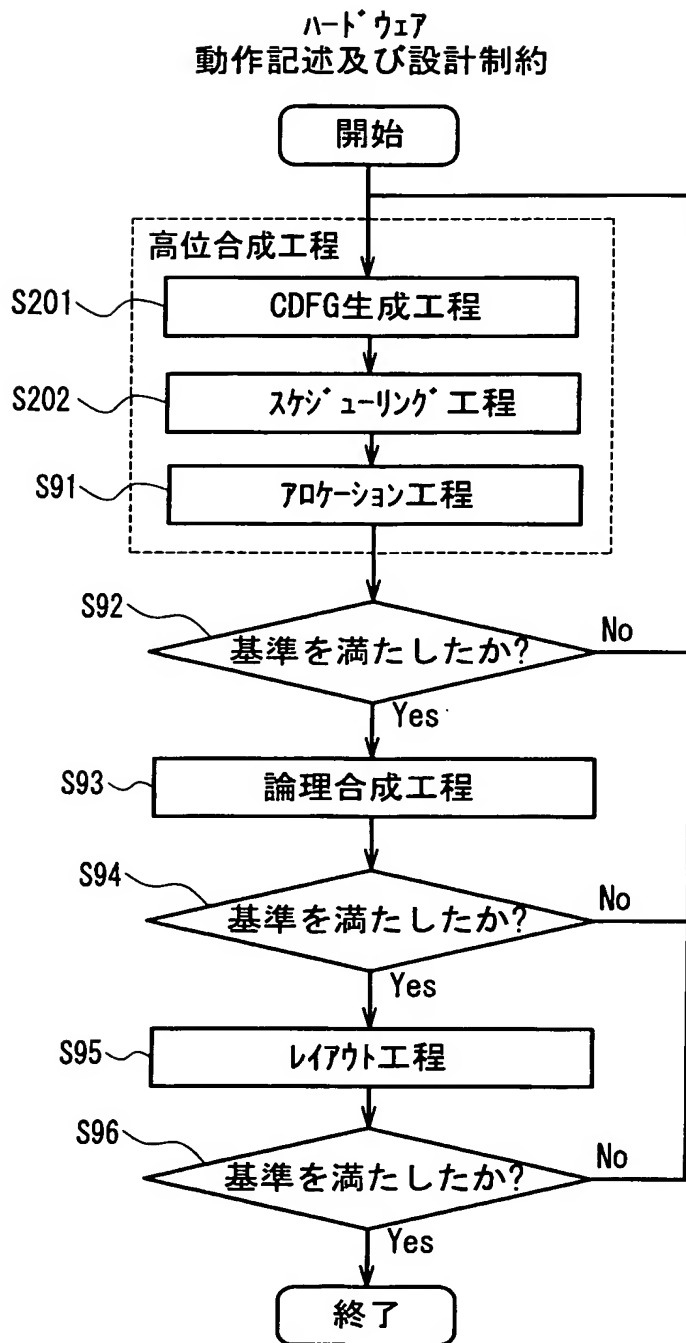
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 高位合成情報を生成するための時間を短縮することができる高位合成方法を提供する。

【解決手段】 高位合成方法は、入力ファイルと制約ファイルとに基づいて C D F G を生成する C D F G 生成工程と、C D F G とデジタル回路の制約条件とに基づいて F S M を生成し、C D F G の各ノードを F S M の各状態に割り当ててスケジューリングするスケジューリング工程と、C D F G の各ノードに対して、デジタル回路を構成するための資源のレイアウトを示す資源レベルレイアウト情報に基づいて資源を割り当てて高位合成情報を生成するアロケーション工程と、高位合成情報を出力する出力工程とを包含する。

【選択図】 図 1

特願 2 0 0 2 - 3 0 7 5 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社